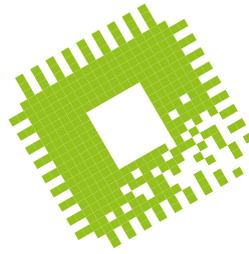


Bit-Rauschen



CPU-Frühstart, RISC versus CISC und rechnendes RAM

Intels Core i7-11700K kam zu früh in den Verkauf. Prozessor-Guru Jim Keller hält den Streit um RISC gegen CISC für überholt. Samsung baut RAM-Chips mit Rechenwerken und der EU-Prozessor wird auch in Indien entwickelt.

Von Christof Windeck

Während sich viele über Chip-Mangel ärgern, ärgert sich Intel über zu viele Prozessoren, die an der falschen Stelle und zu früh auftauchen. Als ersten Prozessor der neuen Generation „Rocket Lake“ verkaufte ein Online-Händler den Core i7-11700K. Die Chance haben wir genutzt, erste Benchmarks des flotten Achtkerners finden Sie auf S. 32.

Diesen Core i7 zählt man wie alle Prozessoren mit x86-Befehlssatzarchitektur (x86-ISA) zu den „Complex Instruction Set Computers“ (CISC). Mancher meint, die „Reduced Instruction Set Computers“ (RISC) etwa mit ARM- oder RISC-V-ISA seien demgegenüber grundsätzlich im Vorteil, nämlich deutlich effizienter. Das sieht ein anerkannter Prozessor-Guru völlig anders: Jim Keller, der unter anderem schon bei ARM, Apple, AMD und Intel arbeitete. In einem spannenden YouTube-Interview mit Lex Fridman wischte er die RISC-gegen-CISC-Diskussion quasi nebenbei vom Tisch: Die CPU-ISA spiele keine wesentliche Rolle. Die wichtige Fortentwicklung sieht Keller auf einer ganz anderen Ebene, nämlich weg von klassischen Allzweckprozessoren hin zu KI-Rechenwerken beziehungsweise zum Umbau der gesamten Computer-Architektur für KI-Algorithmen. Man muss dazu allerdings wissen, dass Keller 2020 als Chief Technology Officer (CTO) beim KI-Chip-Entwickler Tenstorrent angeheuert hat.

Auch Apple, ARM, AMD, Intel, MediaTek, Nvidia, Qualcomm, Rockchip und Samsung betonen bei sämtlichen neuen Prozessoren und Grafikchips deren jeweilige KI-Fähigkeiten. Um die KI-Performance weiter zu steigern, kommen aber auch neue Funktionen etwa für SSDs, RAM, Netzwerkkarten und PCI Express (PCIe). Über Computational Storage haben wir etwa in c't 18/2019 auf S. 42 berichtet: SSDs mit eingebauten Rechenwerken vermeiden Datentransfers, die Zeit und Energie schlucken, und entlasten gleichzeitig den Hauptprozessor. Grob vereinfacht funktioniert das etwa so: Anstatt Daten von einer SSD zunächst ins RAM zu kopieren, um sie dort selbst zu durchsuchen, schickt die CPU den Suchauftrag an die SSD und kümmert sich anschließend um andere Aufgaben. Die SSD wiederum liefert nach der Suche oder einem Mustervergleich nur passende Treffer zurück.

Ganz ähnlich stellt sich das Samsung beim rechnenden RAM namens High Bandwidth Memory mit Processing-in-Memory vor, kurz HBM-PIM. Einige Speicherzellen fallen dabei weg, um auf dem Silizium-Die Platz für 16-Bit-Gleitkomma-(FP16-)Rechenwerke zu schaffen. Die



Bild: Intel

Prozessor-Mastermind Jim Keller hält den Streit um RISC- gegen CISC-Architektur für belanglos: KI sei jetzt Trumpf.

können die Inhalte benachbarter Speicherzellenfelder addieren und multiplizieren sowie beides gleichzeitig: Multiply-Accumulate, kurz MAC. Die Rechenbefehle schickt die CPU über den ohnehin vorhandenen Adressbus, die Resultate kommen über die Datenleitungen zurück. Die Idee ist schon älter, in den 1990er-Jahren gab es das Projekt Berkeley Intelligent RAM (IRAM) und Micron brachte vor rund sieben Jahren sein „Automata“-DRAM mit nichtdeterministischen endlichen Automaten als Rechenwerken. Bisher sind das aber alles Prototypen.

Weiter sind die Hersteller von Server-Netzwerkkarten mit Rechenwerken, etwa mit FPGAs oder Data Processing Units (DPUs). Solche SmartNICs entlasten die CPU nicht nur bei Ver- und Entschlüsselung sowie der Verarbeitung von IP-Paketen. Sie erkennen etwa auch Muster in den übertragenen Daten und verwalten NVMe-over-Fabric-(NVMe-oF-)Speichersysteme. Und PCIe 5.0 bringt den Compute Express Link (CXL), um KI-Beschleuniger Cache-kohärent anzubinden.

EU-CPU aus Indien

KI-Beschleuniger – unter anderem mit RISC-V-Kernen – stecken auch im „Europrozessor“ Rhea, den das deutsch-französische Unternehmen SiPearl für die European Processor Initiative (EPI) entwickelt. Dabei holt man sich nun Schützenhilfe weit außerhalb europäischer Grenzen, nämlich von der Firma Open-Silicon, deren Entwickler in Indien arbeiten. Open-Silicon alias OpenFive gehört zur US-Firma SiFive, einem führenden RISC-V-Anbieter. Diese internationale Kooperation wirft ein Schlaglicht auf den weiten Weg, den die EU zur digitalen Souveränität noch vor sich hat.

Ebenfalls auf RISC-V setzt die traditionsreiche Firma MIPS, die bisher CPU-Kerne mit MIPS-ISA entwickelte. Nach einer Zwischenstation beim PowerVR-GPU-Entwickler Imagination Technologies gehört MIPS seit einigen Jahren zur US-KI-Firma Wave Computing. Die entschlüpfte unter anderem dank chinesischer Investoren kürzlich der Insolvenz und nennt sich künftig MIPS. Man plant nach einem Reuters-Bericht eine neue CPU-Generation mit RISC-V-ISA – das klingt ein bisschen nach Etikettenschwindel. (ciw@ct.de)

Bit-Rauschen als Audio-Podcast:
ct.de/y454